

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

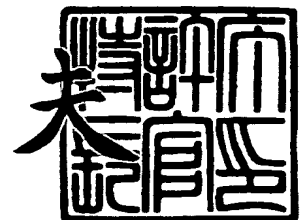
出 願 番 号                      特 願 2 0 0 3 - 0 9 4 7 3 2  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 4 7 3 2 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 5 5 6 0

【書類名】 特許願

【整理番号】 0340127

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04  
H01L 21/822  
H01L 21/283

【発明の名称】 薄膜キャパシタおよびその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 栗原 和明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 塩賀 健司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 ジョン デイビット ベネキ

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100108187

【弁理士】

【氏名又は名称】 横山 淳一

【電話番号】 044-754-3035

**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-330578**【出願日】** 平成14年11月14日**【手数料の表示】****【予納台帳番号】** 011280**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0017694**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 薄膜キャパシタおよびその製造方法

【特許請求の範囲】

【請求項 1】 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタにおいて、

前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴とする薄膜キャパシタ。

【請求項 2】 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、

樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴とする薄膜キャパシタ。

【請求項 3】 前記バリア層が、前記誘電体層と同一組成であることを特徴とする請求項 1 又は請求項 2 に記載の薄膜キャパシタ。

【請求項 4】 前記バリア層が、非晶質であることを特徴とする請求項 1 から請求項 3 のいずれかに記載の薄膜キャパシタ。

【請求項 5】 外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴とする請求項 1 から請求項 4 のいずれかに記載の薄膜キャパシタ。

【請求項 6】 1 つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴とする請求項 1 から請求項 5 のいずれかに記載の薄膜キャパシタ。

【請求項 7】 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、

前記キャパシタ形成工程と、

前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、

前記バリア層上に配置される保護絶縁膜形成工程とを備えたことを特徴とする

薄膜キャパシタの製造方法。

【請求項 8】 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、

樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程と、を備えたことを特徴とする薄膜キャパシタの製造方法。

【請求項 9】 前記キャパシタは、支持基板上に、前記バリア層と同じ材料組成からなる密着層を介して形成されることを特徴とする請求項 1～6 のいずれかに記載の薄膜キャパシタ。

【請求項 10】 前記支持基板上に、アルミナまたは B S T を主成分とする材料からなる密着層を形成する工程を更に備えとともに、該密着層を、非結晶状態で形成することを特徴とする請求項 7 または請求項 8 に記載の薄膜キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタに関し、より詳細には、半導体基板上に薄膜製造プロセスにてキャパシタを形成した薄膜キャパシタに関する。

【0002】

【従来の技術】

近年の L S I の処理高速化により、高周波ノイズの拡散防止策としてデカップリング処理が行なわれ、そこで使用されるデカップリングキャパシタの高周波追従性能の向上が望まれている。

【0003】

このデカップリングキャパシタの高周波追従性能を向上させるためには、該デカップリングキャパシタが、高容量且つ分離された回路内で低インダクタンス接続が可能であること等の特性を有することが必要であり、この要望に答えたものとして、半導体基板上に、薄膜製造プロセスにてキャパシタを形成した薄膜キャ

パシタが知られている。

#### 【0004】

この薄膜キャパシタは、小型高容量で且つ微細加工性に優れるため、回路基板との接続を、端子間ピッチが狭いバンプ接続の形態とすることが可能であり、それによって相互インダクタンスを減らし、LSIとの低インダクタンス接続に対して有効に作用する。

#### 【0005】

しかしながら、この薄膜キャパシタは、誘電体の材料として金属酸化物を使用することで小型且つ高容量化を達成しているため、その製造工程時に、該金属酸化物が還元されて特性劣化を起こすという問題がある。

#### 【0006】

この誘電体材料の劣化に関する問題を解決するために、例えば、特許文献1として示した特開2000-49311号公報において、以下の提案がなされている。

#### 【0007】

図11及び図12は、上記公報で紹介されている従来の薄膜キャパシタの製造方法を、工程別に詳しく図示したものである。

#### 【0008】

先ず図11(A)及び(B)に示すように、半導体基板1上に白金Ptからなる下部電極2を形成する。そして、図11(C)及び(D)に示すように、その上に絶縁性金属酸化物からなる容量絶縁膜3と白金Ptからなる上部電極4を順次堆積する。

#### 【0009】

次に、図11(E)に示すようなエッチング工程を経て、図12(F)に示すように、前記上部電極4の上に、上部電極4を全面的に覆うように保護絶縁膜6を堆積する。

#### 【0010】

そして、図12(G)に示すような、レジストマスク9を形成するレジストマスク形成工程、及び図示しないドライエッチング工程を経て、最終的に、図12

(H) に示すようなコンタクトホール 9 を形成する。

【0011】

上記の容量素子では、レジストマスク 10 の除去工程で発生する水素により容量絶縁膜が還元してしまうという問題を、保護絶縁膜 6 のコンタクトホール 9 の開口部面積を  $5\mu\text{m}^2$  以下にすること等の手段によって防止している。

【0012】

【特許文献 1】

特開 2000-49311 号公報（主に、段落 [0033] - [0036]、  
図 3）

【0013】

【発明が解決しようとする課題】

上述した従来の薄膜キャパシタでは、容量絶縁膜 3 を構成する絶縁性金属酸化物の還元を、保護絶縁膜 6 で遮断することにより防止している。

【0014】

しかしながら、本発明に係る薄膜キャパシタは、端子部に（低インダクタンス化を実現するための）バンプ或いはそれに類似した高密度実装が可能な接続形態を使用する。

【0015】

このような接続形態では、薄膜キャパシタを実装する回路基板と該薄膜キャパシタとの熱膨張係数の違い等により発生する機械的ストレスが、リード等の緩衝部材を介さずに、薄膜キャパシタの端子部に直接加わることになる。

【0016】

非常に薄い薄膜層からなる内部のキャパシタは、上記の機械的ストレスによる層間剥離等の問題が生じ易く、それを回避するために、保護絶縁膜として、バンプ等からの機械的応力を吸収するポリイミド等の樹脂材を使用することが必須となる。

【0017】

このために、以下のような問題が新たに発生する。

【0018】

第1に、保護絶縁膜の形成工程における誘電体の還元である。例えば、ポリイミド樹脂ワニス<sup>3</sup>は約400℃で硬化しポリイミド樹脂となるが、保護絶縁膜としてのポリイミドワニスが硬化する際に、酸無水物とジアミンが脱水縮重合反応してH<sub>2</sub>Oを放出して硬化するため、そのH<sub>2</sub>Oが水素イオンに分解され、誘電体材料へ到達して誘電体材料を還元する。

#### 【0019】

これは、上記H<sub>2</sub>Oが、キャパシタの電極を構成する白金Ptの触媒作用により水素イオンの状態で該電極に浸入し、その後、拡散現象等により水素イオンが該電極と誘電体との界面に到達し、誘電体部の酸素欠損を生じさせるためである。

#### 【0020】

第2に、従来例で示したような製造工程時における問題ではないが、フィールドでの実使用時における問題である。

#### 【0021】

これは、樹脂材が有する吸湿性により生じるものであり、薄膜キャパシタの周囲が高温になった場合、ポリイミド樹脂が吸収した空気中の水分が、高温下で内部のキャパシタへ移動し、誘電体材料を還元する。

#### 【0022】

本発明の目的は、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したことに起因する、このような誘電体材料の還元に関する問題点を解決し、優れた高周波追随特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供することにある。

#### 【0023】

更に、本発明では、半導体基板と下部電極との間の密着性を高めるとともに、製造時に必要なスパッタリング装置の数を増やすことなく、製造コストを抑えることを目的とする。

#### 【0024】

##### 【課題を解決するための手段】

上記課題の目的を達成させるため、請求項1に係る発明の薄膜キャパシタは、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層



とを有する薄膜キャパシタにおいて、前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴としている。

【0025】

また、請求項2に係る発明の薄膜キャパシタは、支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴としている。

【0026】

上記請求項1又は請求項2の構成によれば、保護絶縁層と内部のキャパシタとは、バリア層によって物理的に分離される。すなわち、保護絶縁層を構成する樹脂材から放出された水分が、キャパシタの誘電体層を構成する金属酸化膜に到達することが阻止される。

【0027】

その結果、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することが可能となる。

【0028】

また、請求項3に係る発明は、請求項2に係る発明の薄膜キャパシタにおいて、バリア層が、誘電体層と同一組成であることを特徴としている。

【0029】

上記請求項3の構成によれば、バリア層を構成する材料の組成と、誘電体層を構成する材料の組成とを同じものにすることで、良好な膜密着性が確保出来る。そして、誘電体層とバリア層間の接合面に関して、機械的なストレスに対して（剥がれ等の問題が発生し難い）高い信頼性を有する薄膜キャパシタを得ることが可能となる。

【0030】

また、請求項4に係る発明は、請求項1又は3のいずれかに係る発明の薄膜キャパシタにおいて、前記バリア層が、非晶質であることを特徴としている。

【0031】

上記請求項 4 の構成によれば、バリア層としての高い耐還元性を得ることが可能となる。

#### 【0032】

誘電体層の材料としては、高誘電率を得るために結晶化した金属酸化物を使用するが、結晶を構成する各結晶粒（グレイン）間に隙間が発生し、該結晶中を水素イオンが移動し易くなる。そのため、水素イオンの移動を阻止するバリア層としては、水素イオンが移動し難い非結晶材料を使用することが有効であり、そのような材料構成にすることにより、水素イオンに対する高い遮断効果を得ることが可能となる。

#### 【0033】

また、請求項 5 に係る発明は、請求項 1 から 4 のいずれかに係る発明の薄膜キャパシタにおいて、外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴としている。

#### 【0034】

上記請求項 5 の構成によれば、薄膜キャパシタ内部のキャパシタが大きな形状を有する場合であっても、パッケージ中央の任意の場所に端子を設けることにより、端子間隔を小さくすることができる。

#### 【0035】

すなわち、高容量であり、且つ低インダクタンス接続が可能な薄膜キャパシタを提供することが可能となる。

#### 【0036】

また、請求項 6 に係る発明は、請求項 1 から 5 のいずれかに係る発明の薄膜キャパシタにおいて、1 つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴としている。

#### 【0037】

上記請求項 6 の構成によれば、例えば、異なる容量を有する複数のキャパシタが必要になった場合に、複数の薄膜キャパシタを実装せずに 1 つのパッケージを実装すれば済むため、薄膜キャパシタ 20 が実装される回路基板内の実装面積の効率化が図れる。

**【0038】**

併せて、部品コストの低減化、及び部品実装工程における実装工数の削減も可能となる。

**【0039】**

また、請求項7に係る発明の薄膜キャパシタの製造方法は、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、前記キャパシタ形成工程と、前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、前記バリア層上に配置される保護絶縁膜形成工程とを備えたことを特徴としている。

**【0040】**

また、請求項8に係る発明の薄膜キャパシタの製造方法は、支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、非導電性無機質材料からなり、少なくとも少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程とを備えたことを特徴としている。

**【0041】**

上記請求項7又は請求項8の構成によれば、保護絶縁層と内部のキャパシタとは、バリア層によって物理的に分離される。すなわち、保護絶縁層を構成する樹脂材から放出された水分が、キャパシタの誘電体層を構成する金属酸化物に到達することが阻止される。

**【0042】**

その結果、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分による金属酸化物からなる誘電体層材料の還元を防止できる薄膜キャパシタを製造することが可能となる。

**【0043】**

また、本発明の一態様によれば、前記バリア層と密着層とが、同じ材料組成であることより、薄膜キャパシタを製造する際に使用するスパッタリング装置の数

が少なくで済むというメリットがある。

#### 【0044】

更に、前記密着層として、アルミナまたはBSTを主成分とする材料を、非結晶状態で形成することにより、SiO<sub>2</sub>またはSiからなる支持基板と、PtまたはAuからなる下部電極との間で、良好な密着性が得られるというメリットがある。

#### 【0045】

尚、本バリア層は、水素や水のバリアとなるため、樹脂材以外の保護絶縁層を有する構造や、保護絶縁層がない構造においても有効であることは言うまでもない。

#### 【0046】

##### 【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態に係る薄膜キャパシタについて、図1～図3を参照しながら、薄膜キャパシタの製造方法を示した図2及び図3の各工程(A)～(J)の順に説明する。

#### 【0047】

##### (i) キャパシタの形成工程

図2(A)～(D)に示すように、支持基板としてのシリコン基板11上に、白金からなる下部電極層12、複合酸化物からなる誘電体層13、白金Ptからなる上部電極層14を順次形成し、キャパシタ30を形成する。

#### 【0048】

ここで、誘電体層13の材料としては、小型で且つ大容量を実現するために、高い比誘電率をもつ(BST等の)金属酸化物が使用されている。

#### 【0049】

また、キャパシタ30の電極(下部電極層12及び上部電極層14)材料としては、高温環境下における耐酸化性に優れ、且つ誘電体層13形成時における良好な結晶配向制御が可能な、白金PtやイリジウムIr等の貴金属が使用される。

#### 【0050】

これらの一連の製造工程は、具体的に以下のように行なう。

#### 【0051】

図2 (B) に示した下部電極層12の形成工程としては、先ず、シリコン基板11としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリング法を使用して、酸化チタン $TiO_2$  (20 nm) 及び白金Pt (100 nm) を順次成膜させる。酸化チタン $TiO_2$  (20 nm) は、シリコンSiと白金Ptとの接着層としての役割を果たす。

#### 【0052】

この時、酸化チタン $TiO_2$ のスパッタ条件は、基板温度500℃、RFパワー200W、誘導コイルパワー30W、ガス圧力0.1 Pa、及びAr/ $O_2$ 比7/1である。

#### 【0053】

また、白金Ptのスパッタ条件は、基板温度400℃、DCパワー100W、誘導コイルパワー30W、ガス圧力0.1 Paである。

#### 【0054】

図2 (C) に示した誘電体層13の形成工程では、誘電体層13として、バリウムBa、ストロンチウムSr、チタンTiから構成される酸化物 ( $Ba_x Sr_{1-x} TiO_3$  (以下、「BST」という。)) を使用し、該BST膜をゾル・ゲル法により形成する。BST材はバルクで1500という比較的大きな比誘電率を有し、小型で大容量のキャパシタを実現するのに有効な材料である。

#### 【0055】

具体的には、先ず、アルコキシドからなる出発溶液をスピncコート法 (2000 rpm/30秒) によりBST膜を成膜する。尚、本スピncコートでは、1回のスピncコートにつき約100 nmの膜厚が得られる。

#### 【0056】

その後、400℃の温度で10分間の仮焼成 (プリベーク) 、及び700℃の温度で10分間の本焼成 (本ベーク) を行なうことによりBSTを結晶化させ、膜厚100 nm、比誘電率300、及び損失2%以下のBST薄膜を形成する。

#### 【0057】

図2 (D) に示した上部電極層 14 の形成工程では、BST からなる誘電体層 13 上に、前述と同じスパッタ法を使用して、上部電極層 14 としての白金 Pt 層を 100 nm 成膜する。

#### 【0058】

尚、キャパシタ 30 の側面は、図1 に示すように、下の層の端部が、上の層の端部よりも外側に張り出した、階段状に形成される。

#### 【0059】

このように、階段状にして張り出し部を設けることにより、製造過程で白金材の断片（パーティクル）が発生した場合、その張り出し部で断片を受け止め、断片が誘電体層の側面に付着し、電極間のショートを引き起こすことを防止する。

#### 【0060】

##### (ii) 下部電極引き出し工程

図2 (E) に示すように、下部電極層 12 からの電極引き出し用穴 21 を形成する。

#### 【0061】

具体的には、フォトリソグラフィ法によりレジストマスクを形成した後、アルゴン Ar イオンミリング法により、上部電極層 14 を構成する Pt 膜、及び、誘電体層 13 を構成する BST 膜を、順次ドライエッチングすることにより行なう。

#### 【0062】

##### (iii) バリア層形成工程

図2 (F) に示すように、前記キャパシタ 30 （の上面及び側面）を覆うように、バリア層 15 を形成する。

#### 【0063】

具体的には、バリア層 15 の材料として使用する窒化シリコン  $\text{Si}_3\text{N}_4$  を、スパッタ法により約 150  $\mu\text{m}$  成膜する。窒化シリコン  $\text{Si}_3\text{N}_4$  の他には、酸化アルミニウム  $\text{Al}_2\text{O}_3$ 、酸化シリコン  $\text{SiO}_2$  等も、バリア層 15 の材料として使用可能である。

#### 【0064】

このときのスパッタ条件は、基板温度 200℃、RF パワー 500W、ガス圧力 0.1Pa、及び Ar/N<sub>2</sub> 比 5/1 である。

#### 【0065】

このように、バリア層 15 としては、非導電性無機質材料に属する酸化アルミニウム Al<sub>2</sub>O<sub>3</sub>、酸化シリコン SiO<sub>2</sub>、及び窒化シリコン Si<sub>3</sub>N<sub>4</sub>等が使用可能であるが、フィールド中で激しい温度変化に曝された際の機械的なストレスによる層間剥離等の問題が発生しないように、誘電体層 13 と熱膨張係数が等しい材料であることが望ましい。

#### 【0066】

バリア層 15 を構成する材料の熱膨張係数と、誘電体層 13 を構成する材料の熱膨張係数とを同じものにすることで、熱膨張の差により発生する層間の歪みによる剥がれ等を防止し、高い信頼性を有する薄膜キャパシタを得ることが可能となる。

#### 【0067】

また、前記バリア層 15 の材料は、キャパシタを構成する誘電体層 13 との密着性を良好にするために、キャパシタを構成する誘電体層 13 の材料と同一組成であることが望ましい。

#### 【0068】

バリア層 15 を構成する材料の組成を、誘電体層 13 を構成する材料の組成と同じものにすることで、良好な膜密着性が確保出来る。そして、誘電体層 13 とバリア層 15 間の接合面に関して、機械的なストレスに対して高い信頼性を有する薄膜キャパシタ 20 を得ることが可能となる。

#### 【0069】

更に、バリア層 15 の材料は、非晶質の材料であることが望ましい。

#### 【0070】

一般に、誘電体層 13 は、高誘電率を得るために結晶化した金属酸化物を使用するが、結晶中には、結晶を構成する各結晶粒（グレイン）間に隙間が発生し、該結晶中を水素イオンが移動し易くなる。そのため、水素イオンの移動を阻止するバリア層 15 としては、水素イオンが移動し難い非結晶材料を使用することが

有効である。そのような材料構成にすることにより、水素イオンに対する高い遮断効果を得ることが可能となる。

#### 【0071】

##### (iv) 保護絶縁層形成工程

図2 (G) に示すように、バリア層15の上から、例えばポリイミド樹脂からなる保護絶縁層16を形成する。

#### 【0072】

先ず、感光性ポリイミドワニス、を、3000rpmで30秒間、スピンコートを行ない、4 $\mu$ m成膜する。そして、60℃の温度で10分間、加熱（プリベーク）し、その後、露光、現像工程を経て、400℃の温度で2時間、加熱（本ベーク）を行ない、2 $\mu$ m厚のポリイミドPI膜を形成する。

#### 【0073】

##### (v) コンタクトホール形成工程

図2 (H) に示すように、コンタクトホール19を形成して、下部電極層12及び上部電極層14を露出させる。

#### 【0074】

具体的にはフォトリソグラフィ法により図示しないレジストマスクを形成した後、アルゴンArイオンミリング法により、窒化シリコンSi<sub>3</sub>N<sub>4</sub>膜をドライエッチングすることにより、キャパシタの上部および下部電極を露出させる。

#### 【0075】

##### (vi) 電極パッド・バンプ形成工程

図2 (I) に示すように、アンダーバンプメタル (UBM) として、キャパシタ30の各電極とバンプとを接続する電極パッド17を、スパッタ及びめっきにより形成する。そして、最後に、図2 (J) に示すように、該電極パッド17上に、回路基板と電気的な接続を行なう端子としてのバンプ18を形成する。

#### 【0076】

尚、バンプ18の材料としては、一般に半田が使用されるが、半田材料が電極パッド17中に拡散して、電極層を構成する白金Ptと反応し、該白金の抵抗値を変えてしまう等の問題が起こり得る。そのため、電極パッド17の材料として



は、上記半田侵食の回避、及び半田濡れ性の向上等を考慮して、クロムCr、チタンTi、銅Cu、ニッケルNi等を使用することが望ましい。

#### 【0077】

以上の製造工程により、図1に示す薄膜キャパシタ20が形成される。

#### 【0078】

図1の薄膜キャパシタ20において、吸湿性を有し所定の条件下で水分を放出するポリイミド樹脂（保護絶縁層16）と、キャパシタ30とは、物理的に分離される。すなわち、ポリイミド樹脂から放出される水分がイオン化されていない状態で、触媒作用を有する電極部に到達する前に遮断するため、ポリイミド樹脂から放出された水分が、触媒作用を有する白金Pt（上部電極層14）表面に到達することが阻止される。

#### 【0079】

従って、上部電極層14と誘電体層13との界面で、誘電体層13を構成する金属酸化物が還元されるという問題は回避される。

#### 【0080】

このように、保護絶縁層16として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することができる。その結果、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタ20を提供することが可能となる。

#### 【0081】

（キャパシタ特性の比較実験）以下に、バリア層15を使用しない場合と、バリア層15を使用した場合における、薄膜キャパシタのキャパシタ特性を比較した実験結果を示す。

#### 【0082】

図4は本実験の測定回路、図5は本実験の測定結果を示したグラフである。

#### 【0083】

尚、本実験では、バリア層15として窒化シリコンSi<sub>3</sub>N<sub>4</sub>、下部電極層12及び上部電極層14の材料としては白金Pt、誘電体材料としてはBSTを使用

した。

#### 【0084】

先ず、シリコン基板 11 上にキャパシタ 30 を形成し、キャパシタ 30 の下部電極層 12 を引き出すための引き出し部 21 を作成し、その状態を初期状態とした。そして、その（保護絶縁層 16 としてのポリイミド樹脂を形成する前の）初期状態のキャパシタ特性を測定するとともに、バリア層 15 を形成した場合とバリア層 15 を形成しない場合における（保護絶縁層 16 としてのポリイミド樹脂を形成した後の）キャパシタの各特性を測定した。

#### 【0085】

測定には、図 4 のような回路構成を使用し、キャパシタ 30 の各電極に、50 mV<sub>pp</sub> の交流電圧を印加することにより行なう。このとき、所定の直流電圧も同時に印加している。

#### 【0086】

図 5 (A) 及び図 5 (B) は、本実験における実験結果を示したグラフである。図 5 (A) は印加電圧 (V) に対する容量 ( $\mu\text{F}/\text{cm}^2$ ) 特性、図 5 (B) は印加電圧 (V) に対する誘電損失 (%) 特性を示す。

#### 【0087】

これらの各グラフにおいて、点線のグラフ (a) は、保護絶縁層 16 としてのポリイミド樹脂が形成される前の初期特性である。

#### 【0088】

実線のグラフ (b) は、バリア層 15 を使用していない薄膜キャパシタについて、保護絶縁層 16 としてのポリイミド樹脂が形成された後の特性である。

#### 【0089】

実線のグラフ (c) は、バリア層 15 を使用した薄膜キャパシタについて、保護絶縁層 16 としてのポリイミド樹脂が形成された後の特性である。

#### 【0090】

図 5 (B) のように、バリア層 15 を使用していない薄膜キャパシタの方は、保護絶縁層 16 としてのポリイミド樹脂が形成された後に、誘電損失 ( $\tan \delta$ ) の上昇が観察される。その結果として、図 5 (A) の (b) のように、バリア

層 15 を使用していない薄膜キャパシタの方は、保護絶縁層 16 としてのポリイミド樹脂が形成された後に、容量の劣化が観察される。

【0091】

それに対して、バリア層 15 を使用している薄膜キャパシタの方は、ポリイミド樹脂が形成された後であっても、（ポリイミド樹脂が形成される前の）初期状態と比較した誘電損失の上昇、及び容量劣化は観察されない。

【0092】

このように、キャパシタ 30 をバリア層 15 で覆い、上部電極層 14 への水素の進入を防ぐことにより、誘電体材料の特性劣化を抑制することができる。

【0093】

（第 2 の実施形態）以下、本発明の第 2 の実施形態に係る薄膜キャパシタの製造方法について説明する。

【0094】

本実施形態を示した図としては、第 1 の実施形態と同じもの（図 2 及び図 3）を使用する。

【0095】

本実施形態は、第 1 の実施形態に対して、図 2（C）に示した誘電体層 13 の形成工程を、（ゾルゲル法では無く、）スパッタリング法を使用して行なったものである。そして、更に、図 2（F）に示したバリア層 15 形成工程において、バリア層 15 として、誘電体層 13 と同一組成の BST 材であって、非結晶状態のものを使用した。

【0096】

先ず、第 1 の実施形態と同様に、図 2（A）～（D）に示すように、シリコン基板 11 としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリング法を使用して、酸化チタン  $TiO_2$ （20 nm）及び白金 Pt（100 nm）を順次成膜させる。尚、ここで、下部電極材料としてイリジウム Ir を使用してもよい。

【0097】

尚、誘電体層 13 形成工程における BST のスパッタは、具体的に以下の条件

で行なう。

#### 【0098】

基板温度 600℃、Ar/O<sub>2</sub>比 8/1、ガス圧力 0.4 Pa、RF パワー 800W で成膜を行ない、BST 膜厚 100 nm、誘電率 400、誘電損失 1% 以下の誘電体膜を形成する。

#### 【0099】

BST 誘電体層 13 の上には、前述と同じスパッタ法（基板温度 400℃）で、上部電極層 14 としての白金 Pt 膜（100 nm）を形成する。

#### 【0100】

次に、図 2（E）に示す下部電極引き出し工程では、下部電極層 12 を引き出すために、アルゴン Ar イオンミリング法により、上部電極層 14 としての白金 Pt 膜及び誘電体層 15 としての BST 膜に対して、順次ドライエッチングを実施する。

#### 【0101】

図 2（F）に示すバリア層形成工程では、バリア層 15 として、アモルファス BST 薄膜をスパッタ法により 150 nm 成膜する。条件は、基板温度 200℃、Ar/O<sub>2</sub>比 8/1、ガス圧力 0.2 Pa、RF パワー 800W で行なう。低温で成膜を行なうことにより、BST は結晶化せず、アモルファス状態の BST を得ることができる。

#### 【0102】

以下、図 2（G）～（J）に示した工程では、第 2 の実施形態と同様に、感光性ポリイミド樹脂を使用して保護絶縁膜 16 を形成した後、電極パッド 17 及びバンプ 18 を形成することにより、薄膜キャパシタ 20 を生成する。

#### 【0103】

本実施形態によれば、バリア層 15 と誘電体層 13 とを同一組成とし、更に、バリア層 15 の材料をアモルファス状態のものとしたにより、バリア層 15 と誘電体層 13 とが高密着性を有し、且つバリア層 15 が高い水素イオン遮断効果（すなわち、高い耐還元性の効果）を有する薄膜キャパシタ 20 を製造することが可能となる。

## 【0104】

また、誘電体層 13 を形成する B S T 材をスパッタ法で行なっていることにより、キャパシタ 30 の形成が全て真空中で行なわれることになるため、薄膜キャパシタ 20 を簡易な工程で製造することが可能となる。

## 【0105】

(第 3 の実施形態) 以下、本発明の第 3 の実施形態に係る薄膜キャパシタについて、図 6 (A)、図 6 (B) を参照しながら説明する。

## 【0106】

図 6 (A) は、薄膜キャパシタの外観図であり、図 6 (B) は、図 6 (A) の X-X' 線断面図である。

## 【0107】

本実施形態は、第 1 の実施形態における薄膜キャパシタの応用例であり、図 6 (A) のように、薄膜キャパシタの一方の面上に、薄膜キャパシタの端子として、複数のバンプが縦横に並んだ状態に配置されている。そして、それら複数のバンプ 18 は、隣り合うバンプが、キャパシタ 30 の異なる電極に接続される構成になっている。

## 【0108】

すなわち、各バンプは、1つおきに同じ電極と電氣的に接続されており、その接続先のキャパシタ 30 は、図 6 (B) のように、内部で共通になっている。

## 【0109】

各バンプの外部との接続に関しては、バンプ 18 a が (図示しない) 回路基板の電源ラインに接続され、バンプ 18 b が該回路基板の GND ラインに、それぞれ電氣的に接続される。そして、その回路基板の電源、GND ラインは、回路基板上に実装される (図示しない) L S I 等に接続される。

## 【0110】

このように、薄膜キャパシタ 20 は、本薄膜キャパシタ 20 が実装される回路基板との端子が、そのパッケージの端部に限定されず、その (パッケージの) 中央部にも設けられている。

## 【0111】

このため、薄膜キャパシタ 20 内部のキャパシタ 30 が大きな形状を有する場合であっても、パッケージ中央の任意の場所に端子を設けることにより、電源—GND 間の端子間隔を小さくし、LSI と薄膜キャパシタとを接続する電源及び GND の配線の全範囲に亘って、狭配線間隔にすることができる。

#### 【0112】

すなわち、薄膜キャパシタ 20 は、高容量であり、且つ低インダクタンス接続が可能であり（高周波特性が改善される）という、デカップリングキャパシタとして最適な条件を備えることになる。

#### 【0113】

以上のように、本実施形態によれば、高容量で且つ高周波特性の優れた薄膜キャパシタを提供することが可能となる。

#### 【0114】

（第 4 の実施形態）以下、本発明の第 4 の実施形態に係る薄膜キャパシタについて、図 7 を参照しながら説明する。

#### 【0115】

図 7 は、薄膜キャパシタを上面から見た図であり、図中の符号 31 はキャパシタ 30 が存在するキャパシタエリアを示したものである。

#### 【0116】

本実施形態は、第 3 の実施形態における薄膜キャパシタの応用例であり、図 7 に示すように、1 つの薄膜キャパシタ 20 に、大きさの異なる複数のキャパシタ 30 a、30 b、30 c が並べて配置されている。

#### 【0117】

ここでの各キャパシタの容量は、該キャパシタが占める面積に大略比例して決定する。例えば、キャパシタ b は、キャパシタ a の 2 倍の面積を占めており、キャパシタ a の略 2 倍の容量を有している。

#### 【0118】

このような構成にすることにより、例えば、異なる容量を有する複数のキャパシタが必要になった場合に、複数の薄膜キャパシタを実装せずに 1 つのパッケージを実装すれば済むため、薄膜キャパシタ 20 が実装される（図示しない）回路

基板内の実装面積の効率化が可能になる。

#### 【0119】

また、本実施形態による他の効果としては、デカップリングキャパシタに関する部品の低コスト化、及び部品実装時における実装工数の削減、等の効果が期待できる。

(第5の実施形態)

以下、本発明の第5の実施形態に係る薄膜キャパシタについて、図8、および図9を参照しながら説明する。

#### 【0120】

(i) キャパシタの形成工程

最初に、図9 (A) 及び (B) に示すように、 $\text{SiO}_2$ またはSiからなる半導体基板11を、マルチターゲットDC-RFマグネトロンスパッタリング装置にセットし、RFスパッタにより、密着層40としての非晶質アルミナを、200℃の条件下で50nm成膜する。

#### 【0121】

続けて、図9 (C) に示すように、下部電極層12としてのAuの膜を、DCスパッタ法により、200℃の条件下で100nm成膜する。

#### 【0122】

更に、図9 (D) に示すように、RFスパッタにより、誘電体層13としてのBST膜を、400℃の条件下で100nm成膜し、続いて、図9 (E) に示すように、DCスパッタ法により、上部電極層14としてのAuの膜を、400℃の条件下で100nm成膜する。

#### 【0123】

(ii) 下部電極引き出し工程

図9 (F) に示すように、下部電極層12からの電極引き出し用穴21を、ドライエッチングにより形成する。具体的には、レジストマスクを形成した後、アルゴンArイオンミリング法により、上部電極層14、及び誘電体層13を、順次パターニングする。

#### 【0124】

そして、その後、350℃の高温酸素中で、ポストアニール処理を行なう。尚、ポストアニール処理とは、酸素が欠乏した対象物（ここでは、誘電体層13を構成する金属酸化物BST膜）を高温の酸素中に曝して、欠乏した誘電体層13中の酸素を補う処理である。

#### 【0125】

##### (iii) バリア層形成工程

図9（G）に示すように、前記キャパシタ30の上面および側面を含む全面を覆うように、バリア層15を形成する。具体的には、バリア層15として、非晶質の酸化アルミニウム $Al_2O_3$ （アルミナ）を、（i）の密着層40形成時のスパッタリング装置と同じ装置を使用して、室温条件下で、厚さ0.1 $\mu m$ 成膜する。

#### 【0126】

##### (iv) 保護絶縁層形成工程以降

以下、本実施形態においては、保護絶縁層16および電極パッド17等の形成を、第1の実施形態と同様に行なう。

#### 【0127】

そして、最後に、上記薄膜キャパシタ20に必要な層等を形成し終えた半導体基板11を、ダイシングにより個別の薄膜キャパシタ20に分割し、図8に示すような薄膜キャパシタ20を形成する。

#### 【0128】

本実施形態では、実際に、上記製造方法により薄膜キャパシタ20を形成し、その諸特性を測定した。その結果、容量は1 $\mu F/cm^2$ 以上、ESR（等価直列抵抗）は0.01 $\Omega$ 以下、ESL（等価直列インダクタンス）は20pH以下、および、絶縁耐圧は20V以上の値が得られた。また、絶縁抵抗では、温度85℃、湿度85%RH、および印加電圧3Vの環境条件下で、500時間動作させる高温高湿負荷試験を行い、その結果、10M $\Omega$ 以上の値が得られた。

#### 【0129】

以下、本実施形態で使用したスパッタリング装置について簡単に説明する。

#### 【0130】



スパッタリング装置 50 の内部は、図 10 のように、その上方と下方に、ターゲット電極 51 と試料台 54 とが対向して配置され、下方の試料台 54 上には、試料となるウエハ 53 が載せられ、上方のターゲット電極 51 の下面には、図のように、ターゲット 52 が取り付けられている。

#### 【0131】

また、スパッタリング装置 50 は、不活性ガスが吸入 55 及び排気 56 され、内部は、図示しない真空ポンプにより減圧される。そして、ターゲット電極 51 と試料台 54 間に数千 V の高電圧が印加され、スパッタリング装置 50 の内部には、プラズマ化した陽イオン 57 (例えば  $Ar^+$ ) が存在する。

#### 【0132】

そして、上記陽イオンがターゲット 52 に衝突し、衝突により弾き出されたターゲット 52 の分子が、試料台 54 上のウエハ 53 表面に被着して、ウエハ 53 上に薄膜を形成する。

#### 【0133】

このように、スパッタリング装置 50 は、密閉された真空槽であり、ターゲット 52 を交換することが容易では無いため、量産性を考慮した場合、1 つのスパッタリング装置 50 では、1 種類の材料組成からなる薄膜しか形成できない。

#### 【0134】

したがって、多種類の材料組成の層 (薄膜) を形成するためには、その種類の数だけスパッタリング装置を用意しなければならないため、設備投資がかさみ、製造コストを下げる事が出来なくなる。

#### 【0135】

このような問題に対して、本実施形態においては、密着層 40 とバリア層 15 が同じ材料組成 (酸化アルミニウム  $Al_2O_3$ ) であるため、必要なスパッタリング装置の種類は、密着層、電極層及び B S T の各用途について、3 種類で済み、スパッタリング装置に要する費用は抑えられる。その結果、製造コストが少なくて済むという効果がある。

#### (第 6 の実施形態)

以下、本発明の第 6 の実施形態に係る薄膜キャパシタについて説明する。

## 【0136】

本実施形態は、第5の実施形態と同様の図（図8および図9）を参照しながら説明する。

## 【0137】

尚、本実施形態は、第5の実施形態と略同じ工程であるため、以下、第5の実施形態との相違点のみを示す。（以下に示す以外の条件等は、全て、第5の実施形態と同じである。）

## (i) キャパシタの形成工程

図9（A）及び（B）において、本実施形態では、密着層40として、酸化チタン $TiO_2$ を、300℃の条件下で成膜する。（第5の実施形態においては、密着層40として、非晶質アルミナを、200℃の条件下で成膜している。）

また、図9（C）～（E）においては、本実施形態では、下部電極層12として、白金Ptの膜を、300℃の条件下で成膜する。（第5の実施形態においては、下部電極層12として、Auの膜を200℃の条件下で成膜している。）

更に、本実施形態では、上部電極層14として、白金Ptの膜を、300℃の条件下で成膜する。（第5の実施形態においては、上部電極層14として、Auの膜を、400℃の条件下で成膜している。）

## (ii) 下部電極引き出し工程

図9（F）に示す本工程は、第5の実施形態と同じであるため、省略する。

## 【0138】

## (iii) バリア層形成工程

図9（G）において、本実施形態では、バリア層15として、非晶質の酸化チタン $TiO_x$ を成膜する。（第5の実施形態においては、バリア層15として、非晶質の酸化アルミニウム $Al_2O_3$ （アルミナ）を成膜している。）尚、スパッタリング装置は、第5の実施形態と同様、（i）の密着層40形成時のスパッタリング装置と同じ装置を使用する。

## 【0139】

## (iv) 保護絶縁層形成工程以降

以下、本実施形態においては、保護絶縁層16および電極パッド17等の形成

を、第1の実施形態と同様に行なう。

#### 【0140】

そして、最後に、上記薄膜キャパシタ20に必要な層等を形成し終えた半導体基板11を、ダイシングにより個別の薄膜キャパシタ20に分割し、図8に示すような薄膜キャパシタ20を形成する。

#### 【0141】

本実施形態で、実際に、上記製造方法により薄膜キャパシタ20を形成し、その諸特性を測定した結果、容量は $1\mu\text{F}/\text{cm}^2$ 以上、ESRは $0.02\Omega$ 以下、ESLは $20\text{pH}$ 以下、および、絶縁耐圧は $20\text{V}$ 以上の値が得られた。また、絶縁抵抗では、温度 $85^\circ\text{C}$ 、湿度 $85\%\text{RH}$ 、および印加電圧 $3\text{V}$ の環境条件下で、 $500$ 時間動作させる高温高湿負荷試験を行い、その結果、 $10\text{M}\Omega$ 以上の値が得られた。

#### 【0142】

このように、本実施形態においては、密着層40とバリア層15が同じ材料組成（酸化チタン $\text{TiO}_x$ ）であるため、必要なスパッタリング装置の種類は、密着層、電極層及びBSTの各用途について、3種類で済むというメリットがある。

#### 【0143】

（第7の実施形態）

以下、本発明の第7の実施形態に係る薄膜キャパシタについて説明する。

#### 【0144】

本実施形態は、第5の実施形態と同様の図（図8および図9）を参照しながら説明する。

#### 【0145】

尚、本実施形態においても、第5の実施形態と略同じ工程であるため、第6の実施形態同様、第5の実施形態との相違点のみを示す。（以下に示す以外の条件等は、全て、第5の実施形態と同じである。）

（i）キャパシタの形成工程

図9（A）及び（B）において、本実施形態では、密着層40として、非晶質

BSTを、室温条件下で成膜する。(第5の実施形態においては、密着層40として、非晶質アルミナを、200℃の条件下で成膜している。)

また、図9(C)～(E)においては、本実施形態では、下部電極層12として、白金Ptの膜を、300℃の条件下で成膜する。(第5の実施形態においては、下部電極層12として、Auの膜を200℃の条件下で成膜している。)

更に、本実施形態では、誘電体層13として、アモルファスBSTを、成膜する。(第5の実施形態においては、誘電体層13として、BSTを、成膜している。)

更に、本実施形態では、上部電極層14として、白金Ptの膜を、300℃の条件下で成膜する。(第5の実施形態においては、上部電極層14として、Auの膜を、400℃の条件下で成膜している。)

(ii) 下部電極引き出し工程

図9(F)に示す本工程は、第5の実施形態と同じであるため、省略する。

【0146】

(iii) バリア層形成工程

図9(G)において、本実施形態では、バリア層15として、非晶質BSTを、成膜する。(第5の実施形態においては、バリア層15として、非晶質の酸化アルミニウム $Al_2O_3$ (アルミナ)を成膜している。)尚、スパッタリング装置は、第5の実施形態と同様、(i)の密着層40及び誘電体層13形成時のスパッタリング装置と同じ装置を使用する。

【0147】

(iv) 保護絶縁層形成工程以降

以下、本実施形態においては、保護絶縁層16および電極パッド17等の形成を、第1の実施形態と同様に行なう。

【0148】

そして、最後に、上記薄膜キャパシタ20に必要な層等を形成し終えた半導体基板11を、ダイシングにより個別の薄膜キャパシタ20に分割し、図8に示すような薄膜キャパシタ20を形成する。

【0149】

本実施形態で、実際に、上記製造方法により薄膜キャパシタ 20 を形成し、その諸特性を測定した結果、容量は  $1\ \mu\text{F}/\text{cm}^2$  以上、ESR は  $0.02\ \Omega$  以下、ESL は  $20\ \text{pH}$  以下、および、絶縁耐圧は  $20\ \text{V}$  以上の値が得られた。また、絶縁抵抗では、温度  $85^\circ\text{C}$ 、湿度  $85\%\ \text{RH}$ 、および印加電圧  $3\ \text{V}$  の環境条件下で、500 時間動作させる高温高湿負荷試験を行い、その結果、 $10\ \text{M}\Omega$  以上の値が得られた。

#### 【0150】

このように、本実施形態においては、密着層 40、誘電体層 13 及びバリア層 15 が同じ材料組成 (BST) であるため、必要なスパッタリング装置の種類は、電極層と BST の各用途について、2 種類で済むというメリットがある。

#### 【0151】

以下本発明の諸形態を付記としてまとめて記載する。

#### 【0152】

(付記 1) 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタにおいて、

前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴とする薄膜キャパシタ。

#### 【0153】

(付記 2) 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、

樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴とする薄膜キャパシタ。

#### 【0154】

(付記 3) 前記バリア層が、前記誘電体層と熱膨張係数が同じ材料であることを特徴とする付記 1 又は付記 2 に記載の薄膜キャパシタ。

#### 【0155】

(付記 4) 前記バリア層が、前記誘電体層と同一組成であることを特徴とす

る付記 1 又は付記 2 に記載の薄膜キャパシタ。

【0156】

(付記 5) 前記バリア層が、酸化アルミニウム又は酸化シリコン又は窒化シリコンのいずれかであることを特徴とする付記 1 又は付記 2 に記載の薄膜キャパシタ。

【0157】

(付記 6) 前記バリア層が、非晶質であることを特徴とする付記 1 から付記 5 のいずれかに記載の薄膜キャパシタ。

【0158】

(付記 7) 前記誘電体層の材料として、ストロンチウム、バリウム、鉛、亜鉛、ビスマス、タンタル、チタン、マグネシウム、及びニオブの少なくとも一つを含む複合酸化物を使用することを特徴とする付記 1 から付記 6 のいずれかに記載の薄膜キャパシタ。

【0159】

(付記 8) 前記キャパシタの側面が、上の層の端部よりも下の層の端部が張り出した階段状であることを特徴とする付記 1 から付記 7 のいずれかに記載の薄膜キャパシタ。

【0160】

(付記 9) 外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴とする付記 1 から付記 8 のいずれかに記載の薄膜キャパシタ。

【0161】

(付記 10) 前記端子と前記キャパシタを接続する電極パッドが、前記保護絶縁層にて支持されていることを特徴とする付記 9 に記載の薄膜キャパシタ。

【0162】

(付記 11) 1つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴とする付記 1 から付記 10 のいずれかに記載の薄膜キャパシタ。

【0163】

(付記 12) 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、

前記キャパシタ形成工程と、

前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、

前記バリア層上に配置される保護絶縁膜形成工程とを備えた

ことを特徴とする薄膜キャパシタの製造方法。

#### 【0164】

(付記 13) 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、

非導電性無機質材料からなり、少なくとも少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、

樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程とを備えたことを特徴とする薄膜キャパシタの製造方法。

#### 【0165】

(付記 14) 前記誘電体層を形成する工程は、スパッタ法にて行なうことを特徴とする付記 13 に記載の薄膜キャパシタの製造方法。

#### 【0166】

(付記 15) 前記キャパシタは、支持基板上に、前記バリア層と同じ材料組成からなる密着層を介して形成されることを特徴とする請求項 1～6 のいずれかに記載の薄膜キャパシタ。

#### 【0167】

(付記 16) 前記密着層およびバリア層は、アルミナまたは  $TiO_x$  を主成分とする材料からなることを特徴とする付記 15 に記載の薄膜キャパシタ。

#### 【0168】

(付記 17) 前記密着層が多結晶  $TiO_x$  を主成分とする材料からなり、且つ前記バリア層が非晶質  $TiO_x$  を主成分とする材料からなることを特徴とする付記 15 に記載の薄膜キャパシタ。

#### 【0169】

(付記 18) 前記密着層およびバリア層が、非晶質ペロブスカイト酸化物を主成分とする材料からなることを特徴とする付記 15 に記載の薄膜キャパシタ。

【0170】

(付記 19) 前記誘電体層が、結晶質のペロブスカイト酸化物を主成分とする材料からなることを特徴とする付記 18 に記載の薄膜キャパシタ。

【0171】

(付記 20) 前記ペロブスカイト酸化物が、 $\text{BaSrTiO}_3$  を主成分とすることを特徴とする付記 18 に記載の薄膜キャパシタ

(付記 21) 前記支持基板上に、アルミナまたは BST を主成分とする材料からなる密着層を形成する工程を更に備えるとともに、該密着層を、非結晶状態で形成することを特徴とする付記 12 または付記 13 に記載の薄膜キャパシタの製造方法。

【0172】

(付記 22) 前記支持基板上に、 $\text{TiO}_x$  を主成分とする密着層を室温で形成する工程を更に備えることを特徴とする付記 12 または付記 13 に記載の薄膜キャパシタの製造方法

【0173】

【発明の効果】

以上のように、本発明の薄膜キャパシタは、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有し、前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けた構成をしている。

【0174】

このような構成を備えることにより、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することができる。その結果、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供することが可能となる。

【0175】



更に、支持基板と内臓キャパシタとの密着性を高める密着層と、バリア層との材料組成を同じものにより、製造に必要となるスパッタリング装置の種類が少なくて済むため、設備投資を大幅に抑えることができ、薄膜キャパシタの製造コストを大幅に下げることが可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る薄膜キャパシタの断面図である。

【図 2】

本発明の第 1 の実施形態に係る薄膜キャパシタの製造方法の各工程を示す断面図である。

【図 3】

本発明の第 1 の実施形態に係る薄膜キャパシタの製造方法の各工程を示す断面図である。

【図 4】

本発明の薄膜キャパシタに関するキャパシタ特性の測定実験における測定回路図である。

【図 5】

本発明の薄膜キャパシタに関するキャパシタ特性の測定実験における測定結果のグラフである。

【図 6】

本発明の第 3 の実施形態に係る薄膜キャパシタの外観図及び断面図である。

【図 7】

本発明の第 4 の実施形態に係る薄膜キャパシタを上面から見た全体構成図である。

【図 8】

本発明の第 5 の実施形態に係る薄膜キャパシタの断面図である。

【図 9】

本発明の第 5 の実施形態に係る薄膜キャパシタの製造方法の各工程を示す断面図である。

**【図 10】**

スパッタリング装置の概略構成図である。

**【図 11】**

従来の薄膜キャパシタの製造方法の各工程を示す断面図である。

**【図 12】**

従来の薄膜キャパシタの製造方法の各工程を示す断面図である。

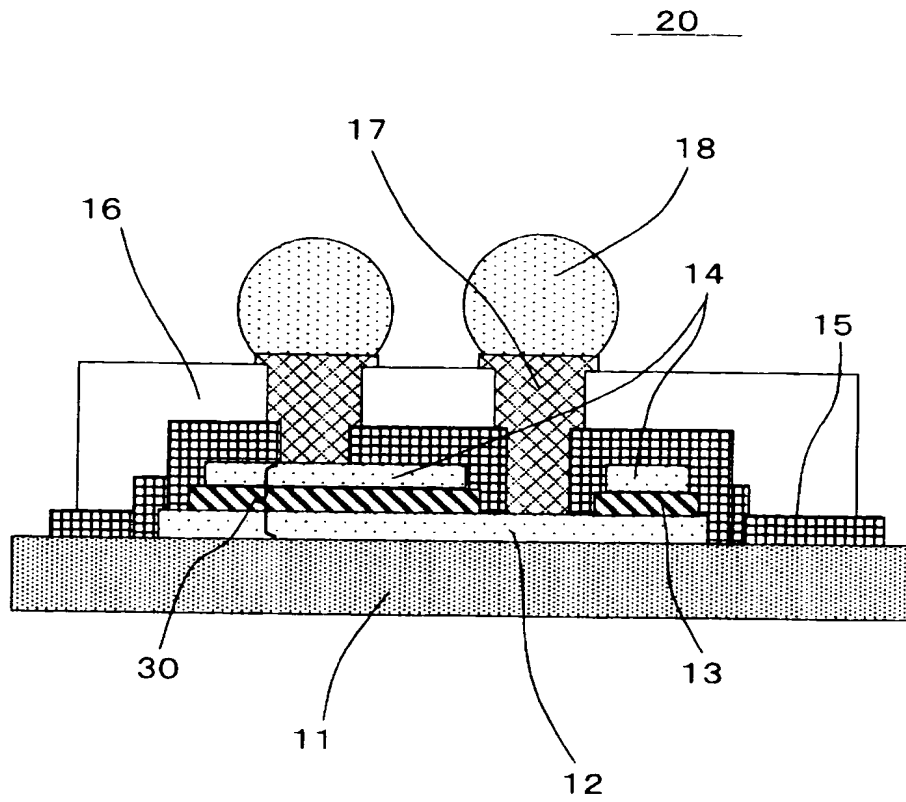
**【符号の説明】**

- 1：半導体基板
- 2：下部電極
- 3：容量絶縁膜
- 4：上部電極
- 6：保護絶縁層
- 9：コンタクトホール
- 10：レジストマスク
- 11：シリコン基板
- 12：下部電極層
- 13：誘電体層
- 14：上部電極層
- 15：バリア層
- 16：保護絶縁層
- 17：電極パッド
- 18：バンプ
- 18a：電源ラインに接続されたバンプ
- 18b：GNDラインに接続されたバンプ
- 19：コンタクトホール
- 20：薄膜キャパシタ
- 21：電極引き出し用穴
- 30：キャパシタ
- 30a：キャパシタa

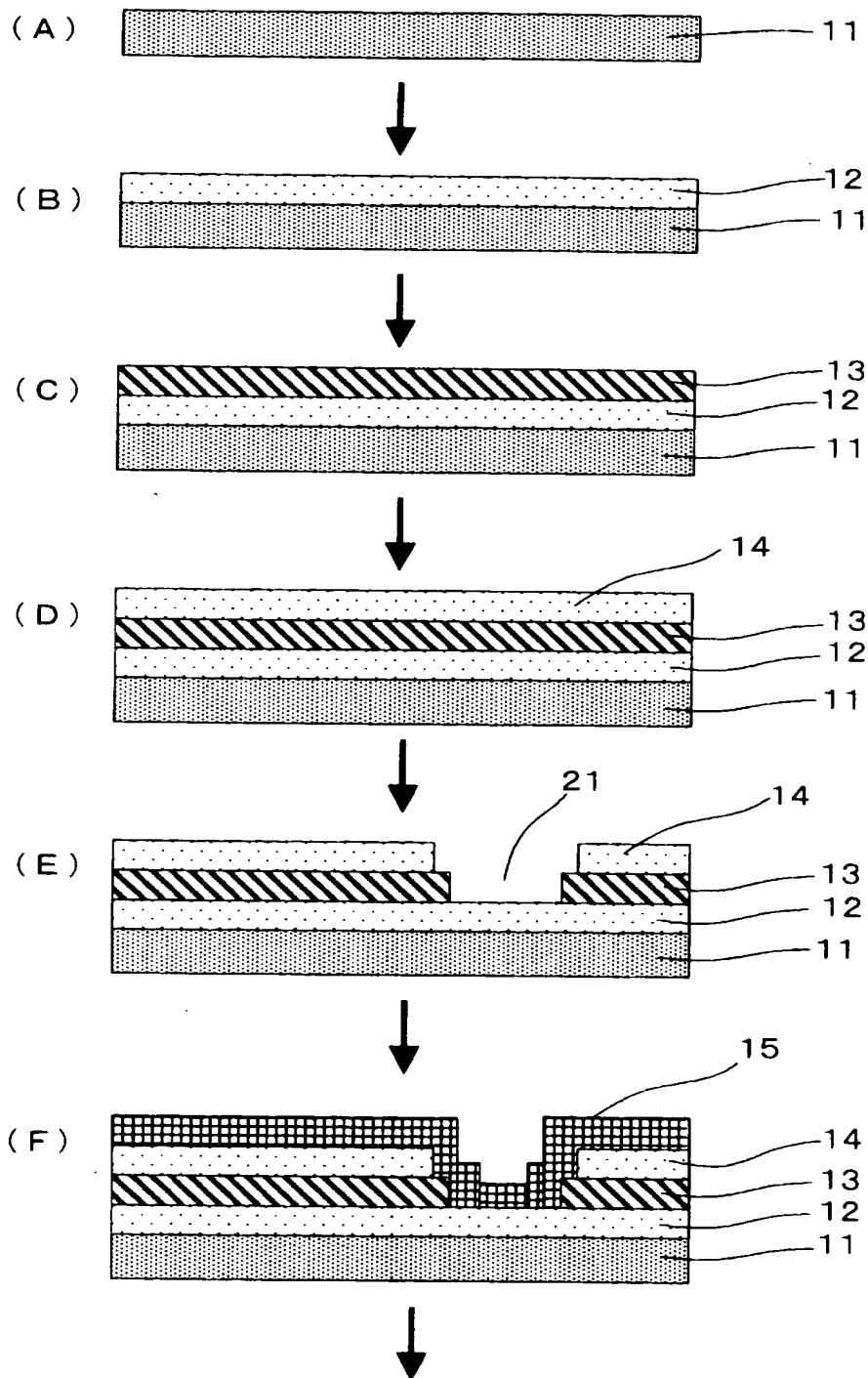
3 0 b : キャパシタ b  
3 0 c : キャパシタ c  
3 1 : キャパシタエリア  
4 0 : 密着層  
5 0 : スパッタリング装置  
5 1 : ターゲット電極  
5 2 : ターゲット  
5 3 : ウエハ  
5 4 : 試料台  
5 5 : 吸入  
5 6 : 排気  
5 7 : 陽イオン

【書類名】 図面

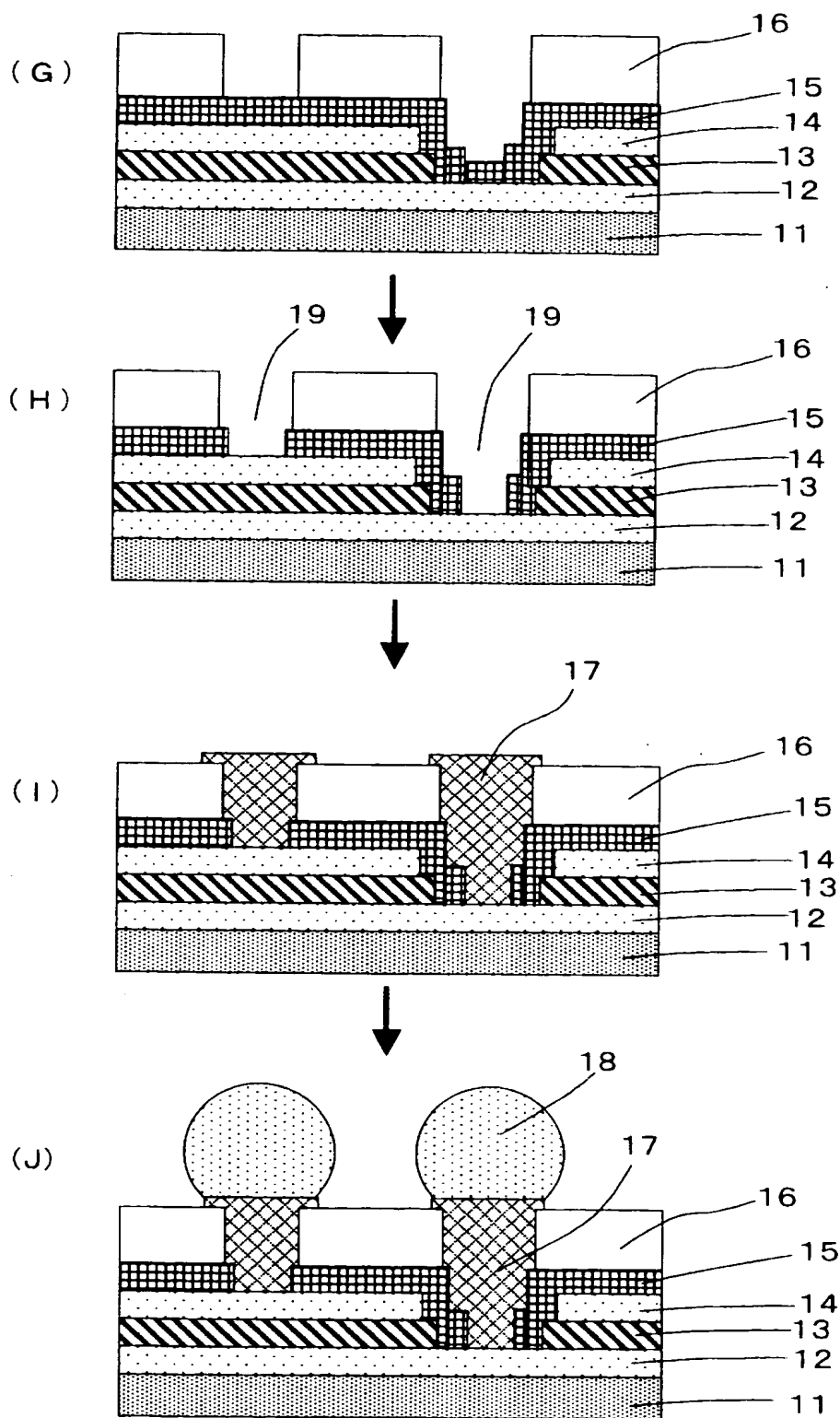
【図 1】



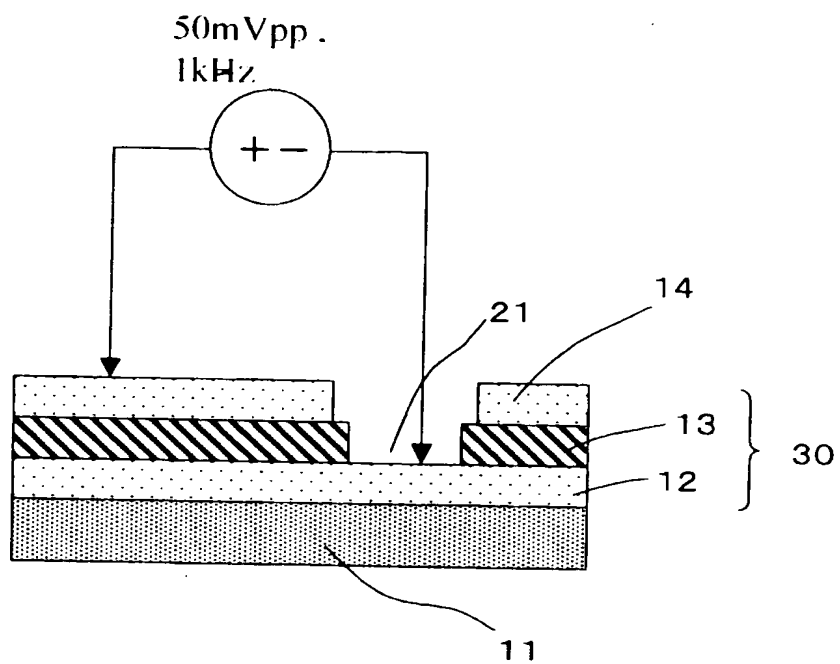
【図 2】



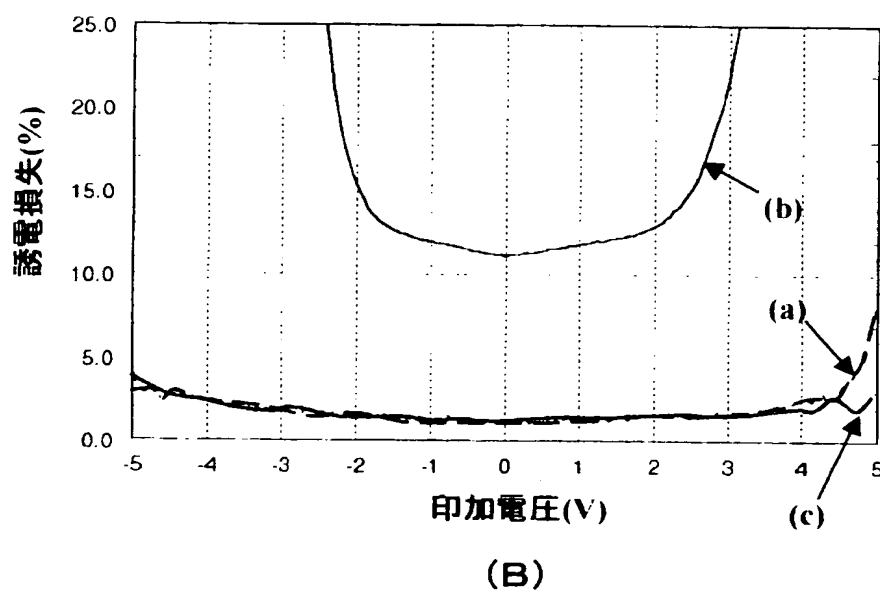
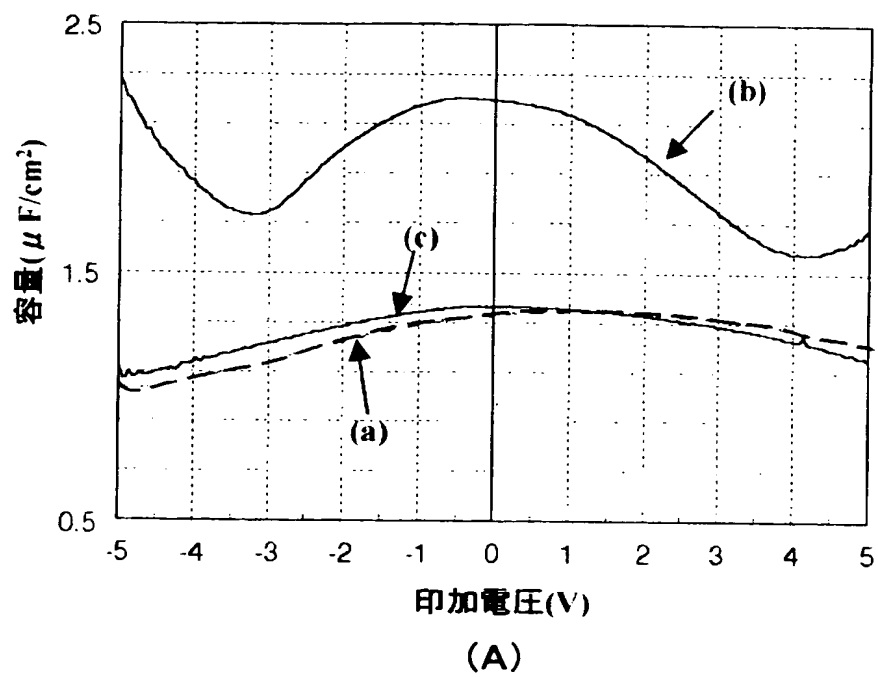
【図 3】



【図 4】

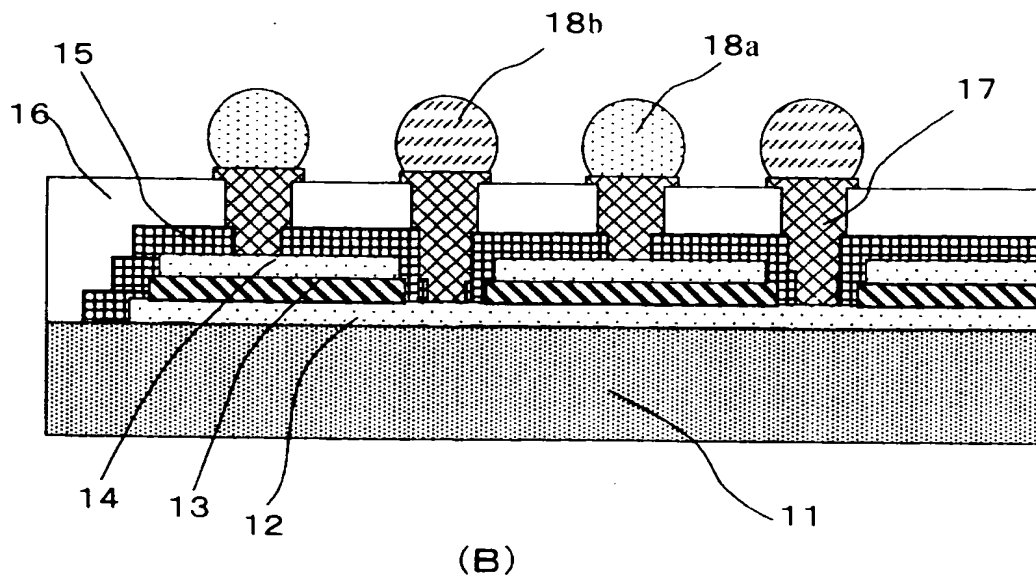
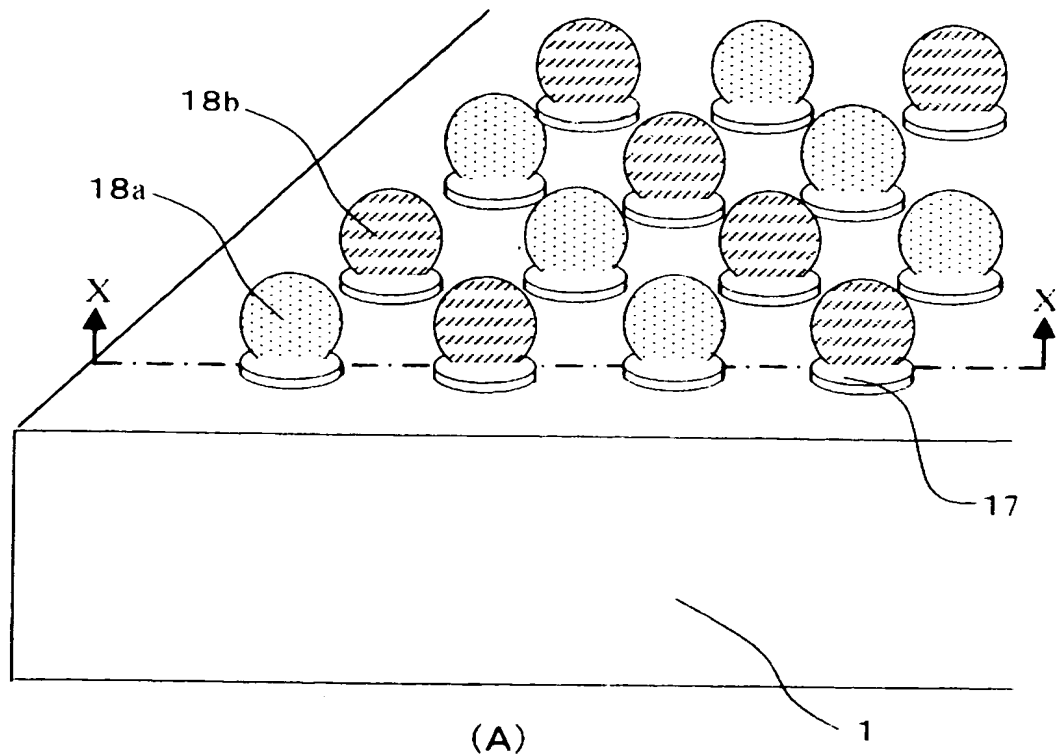


【図 5】

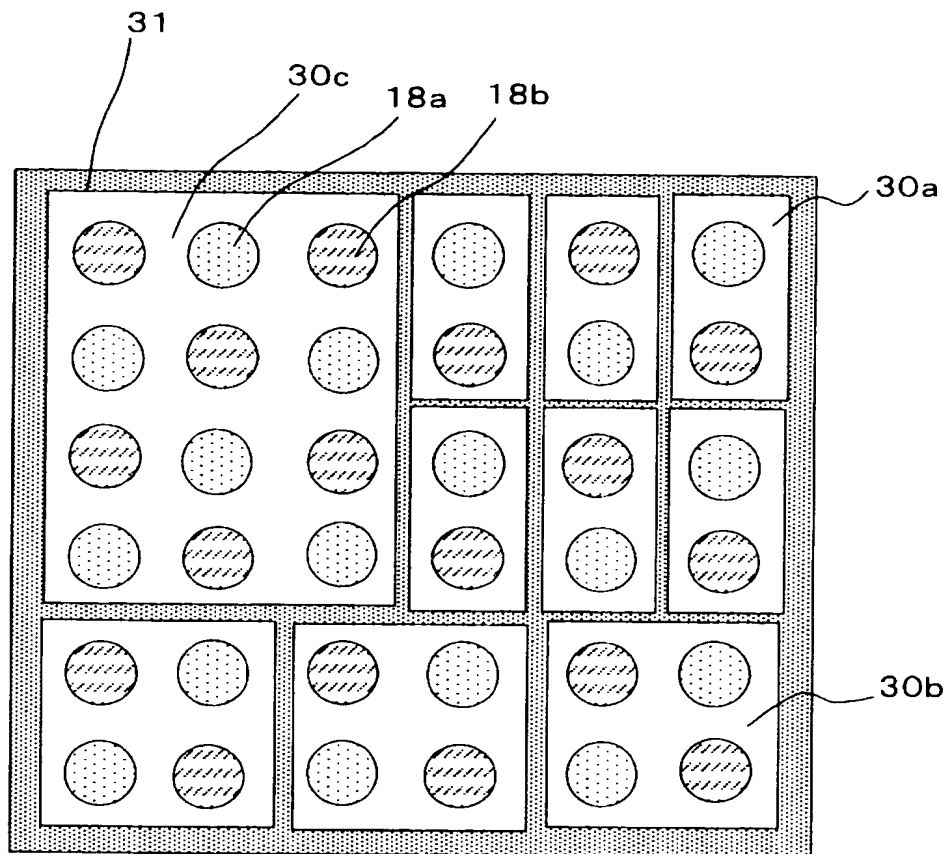




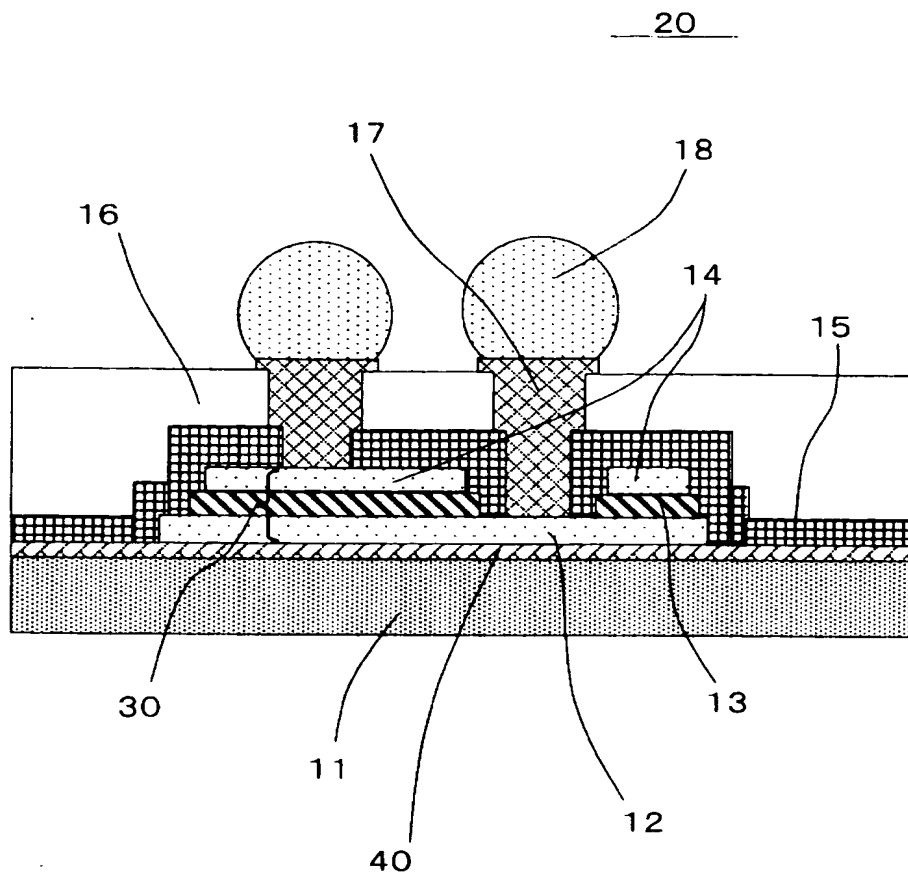
【図 6】



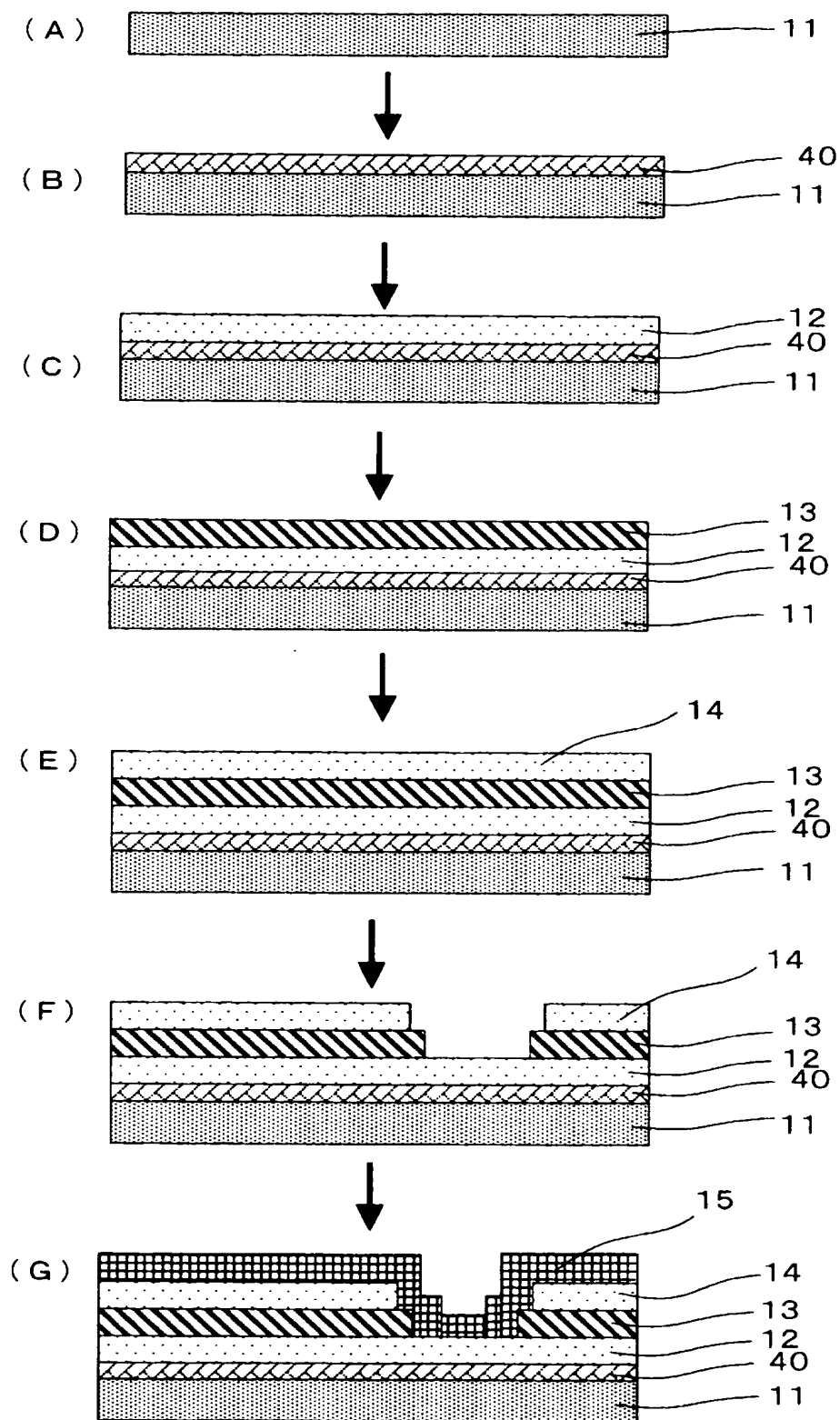
【図 7】



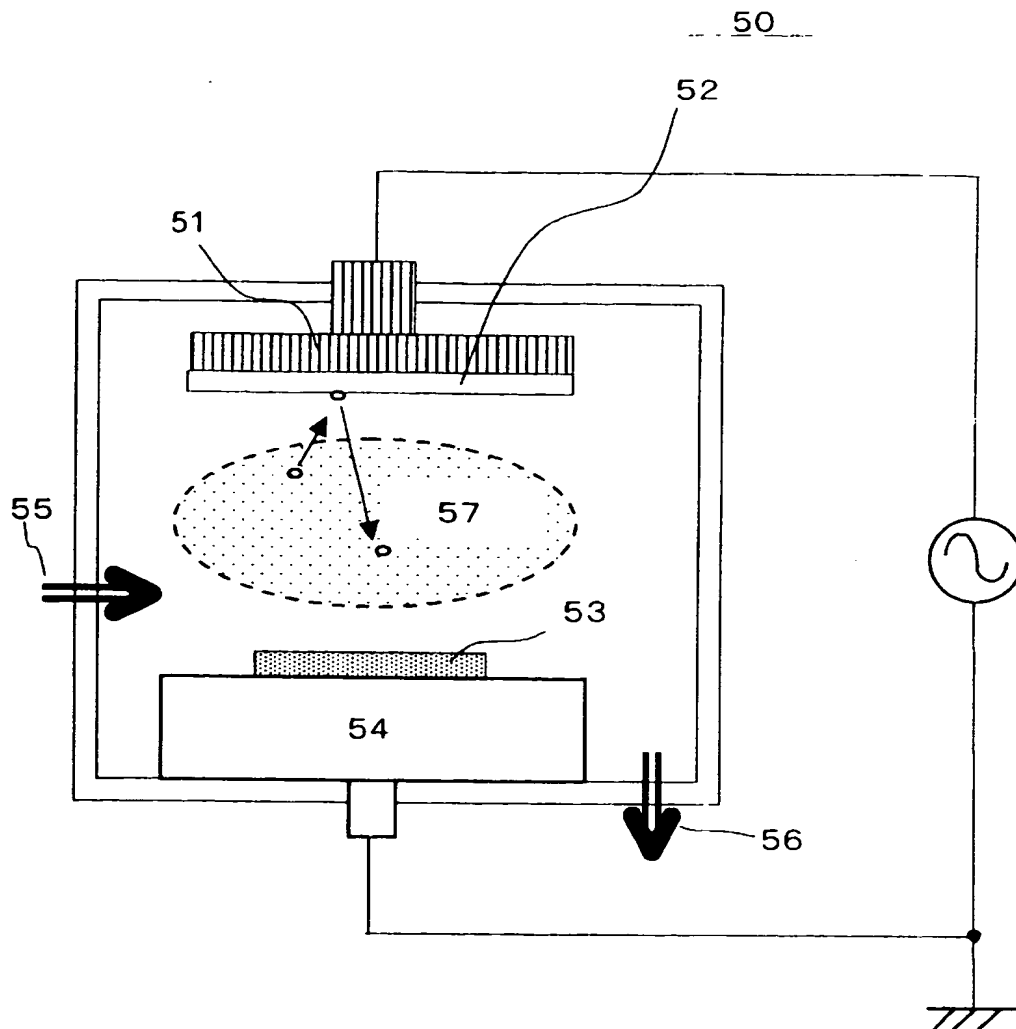
【図 8】



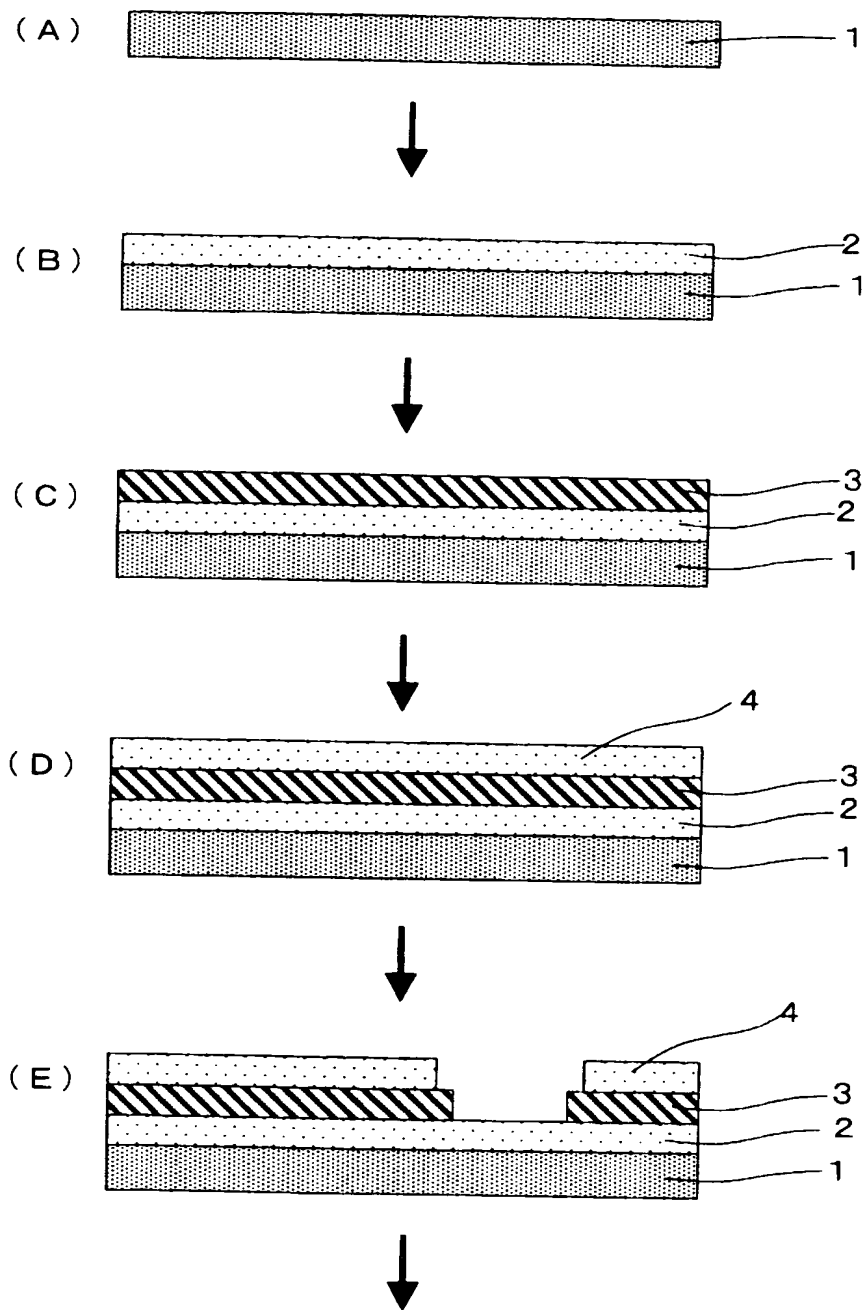
【図 9】



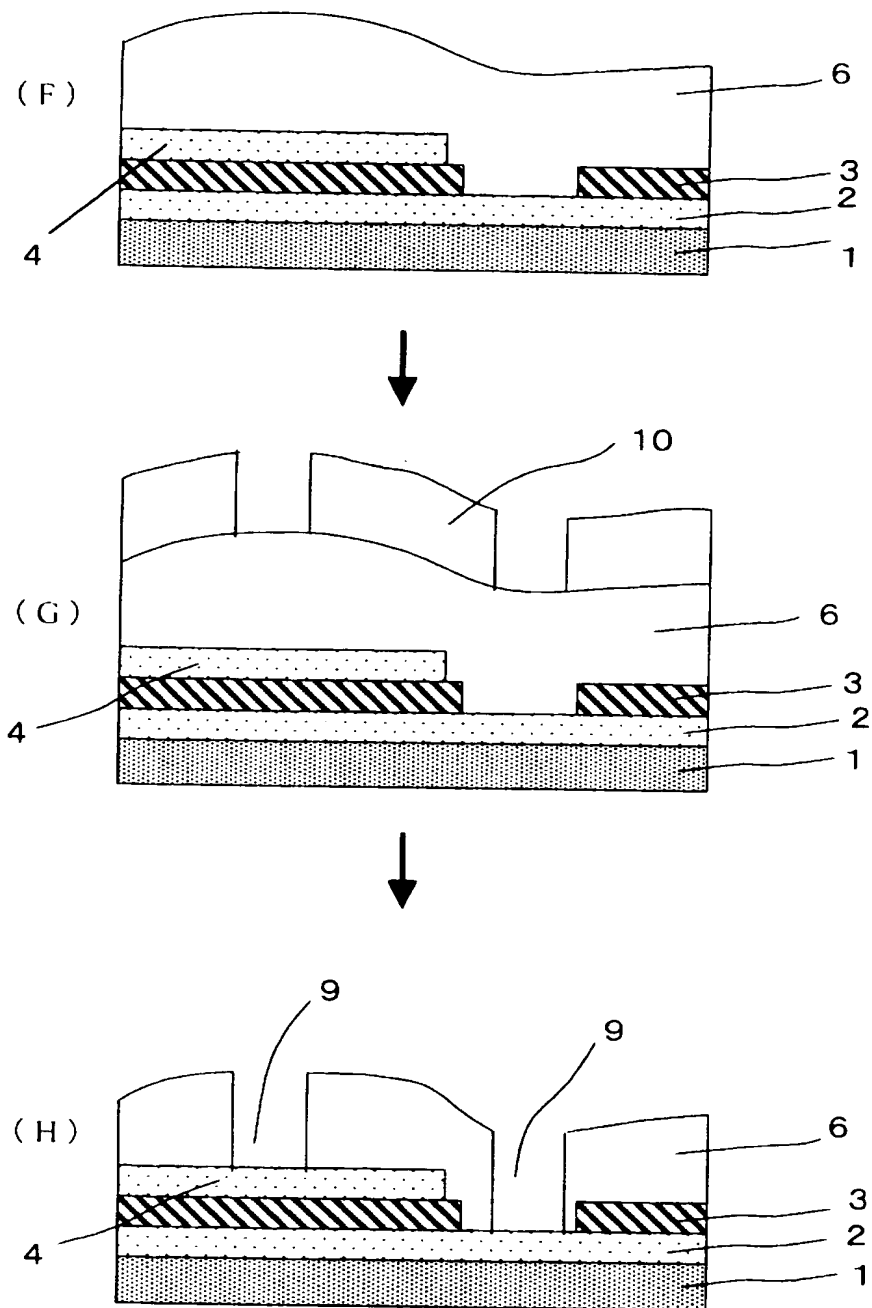
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したことに起因する誘電体材料の還元を回避し、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供すること。

【解決手段】 金属酸化物からなる誘電体層 1 3 を有するキャパシタ 3 0 と、樹脂材からなる保護絶縁層 1 6 と、を有する薄膜キャパシタ 2 0 において、前記キャパシタ 3 0 と前記保護絶縁層 1 6 との間に、非導電性無機質材料からなるバリア層 1 5 を設ける。

【選択図】 図 1